

ANSYS®



2016

ANSYS中国技术大会
中国·上海

高速芯片封装的引脚排布和扇出设计

吴枫

信号完整性工程师

英特尔亚太研发有限公司

免责声明

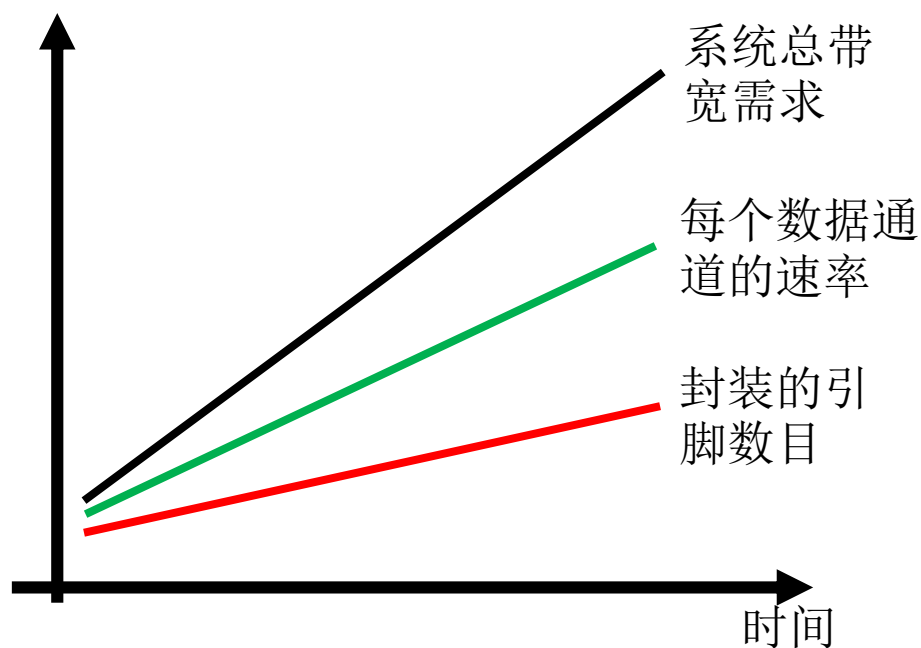
- **在性能测试中使用的软件及其负载可能为英特尔微处理器的性能进行了优化。诸如SYSmark和MobileMark等测试均系基于特定计算机系统、硬件、软件、操作系统及功能，上述任何要素的变动都有可能导致测试结果的变化。请参考其他信息及性能测试（包括结合其他产品使用时的运行性能）以对目标产品进行全面评估。**
- **更多信息敬请登陆<http://www.intel.com/performance>**

主要内容

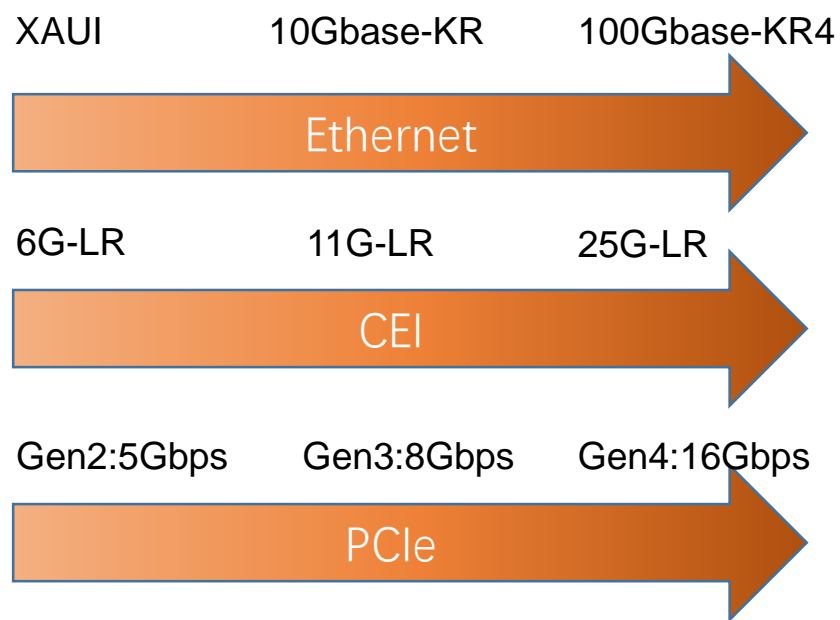
- **高速串行接口对封装引脚排布设计的挑战**
- **如何得到一个优化的封装引脚排布？**
 - **流程：硅片-封装-电路板的协同设计与优化**
 - **技术热点：串扰与封装引脚排布**
- **结论**

高速串行接口的发展趋势

- 系统对IO带宽的渴求的高速串行接口速率不断提高的原动力



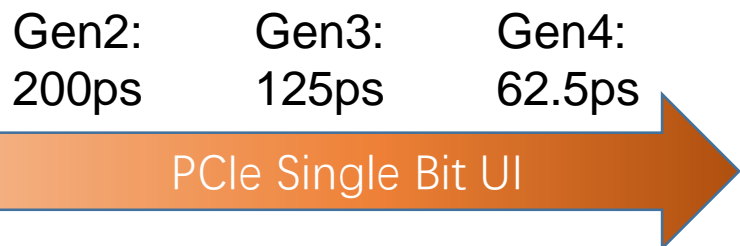
曲线仅为示意



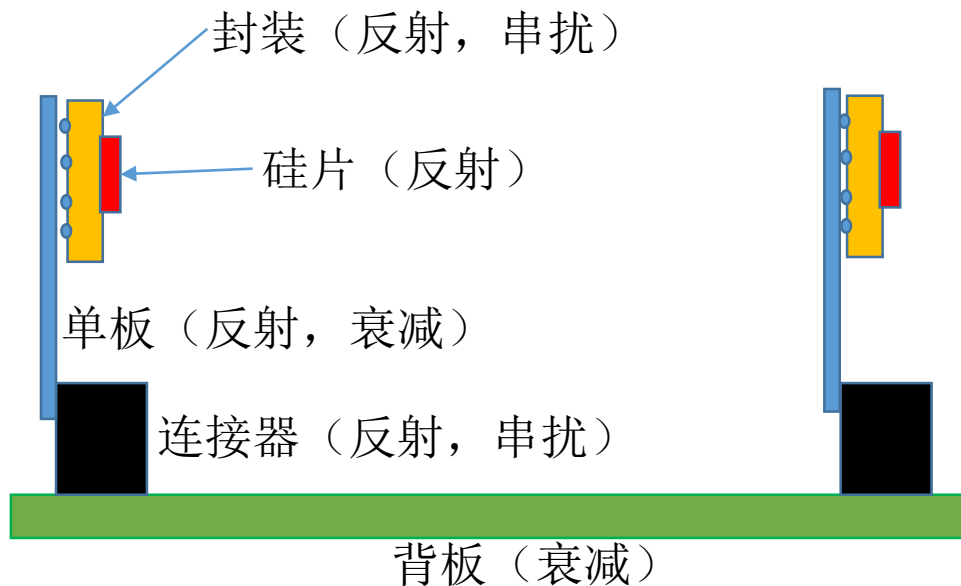
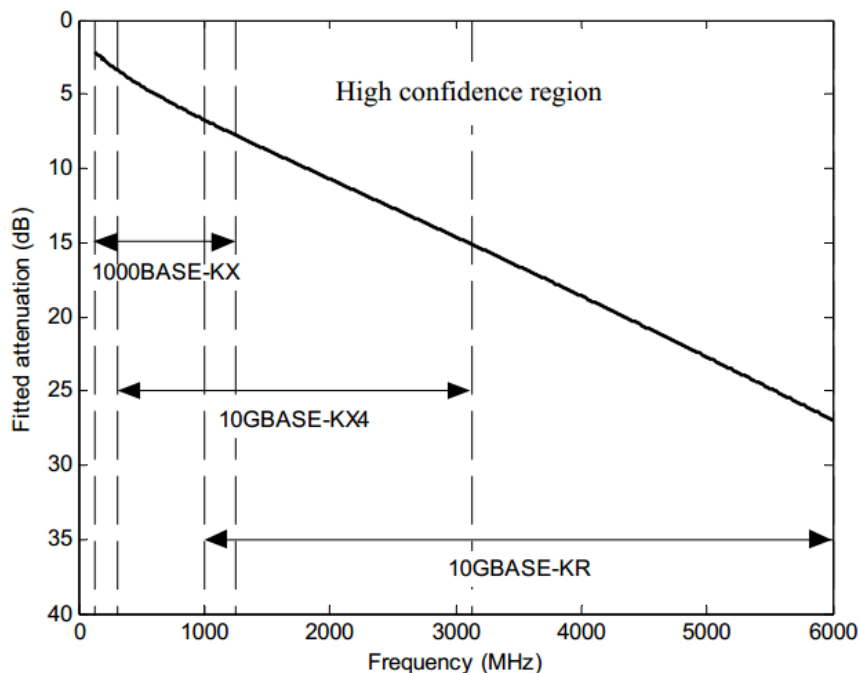
高速串行接口的设计难度越来越大

本示例中，列出了通常需要考虑的主要因素，并不代表其他因素不存在或不重要。

眼图的要求越来越苛刻



物理信道的性能越来越差

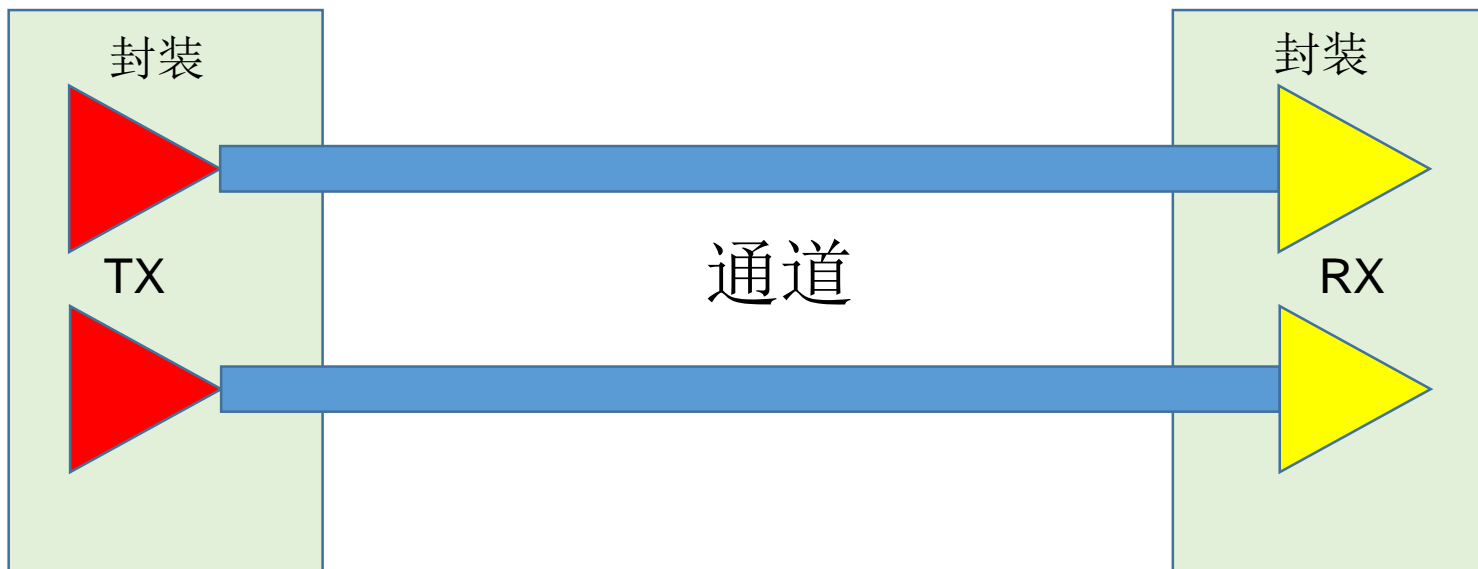


来自各个部件的成本、工艺和物理的约束

- PHY的寄生参数和匹配精度
- 封装、单板和背板的材料、尺寸和生产误差
- 连接器的性能
- 过孔的定位精度、尺寸极限、背钻精度
- 拓扑的要求

封装对高速串行接口的影响

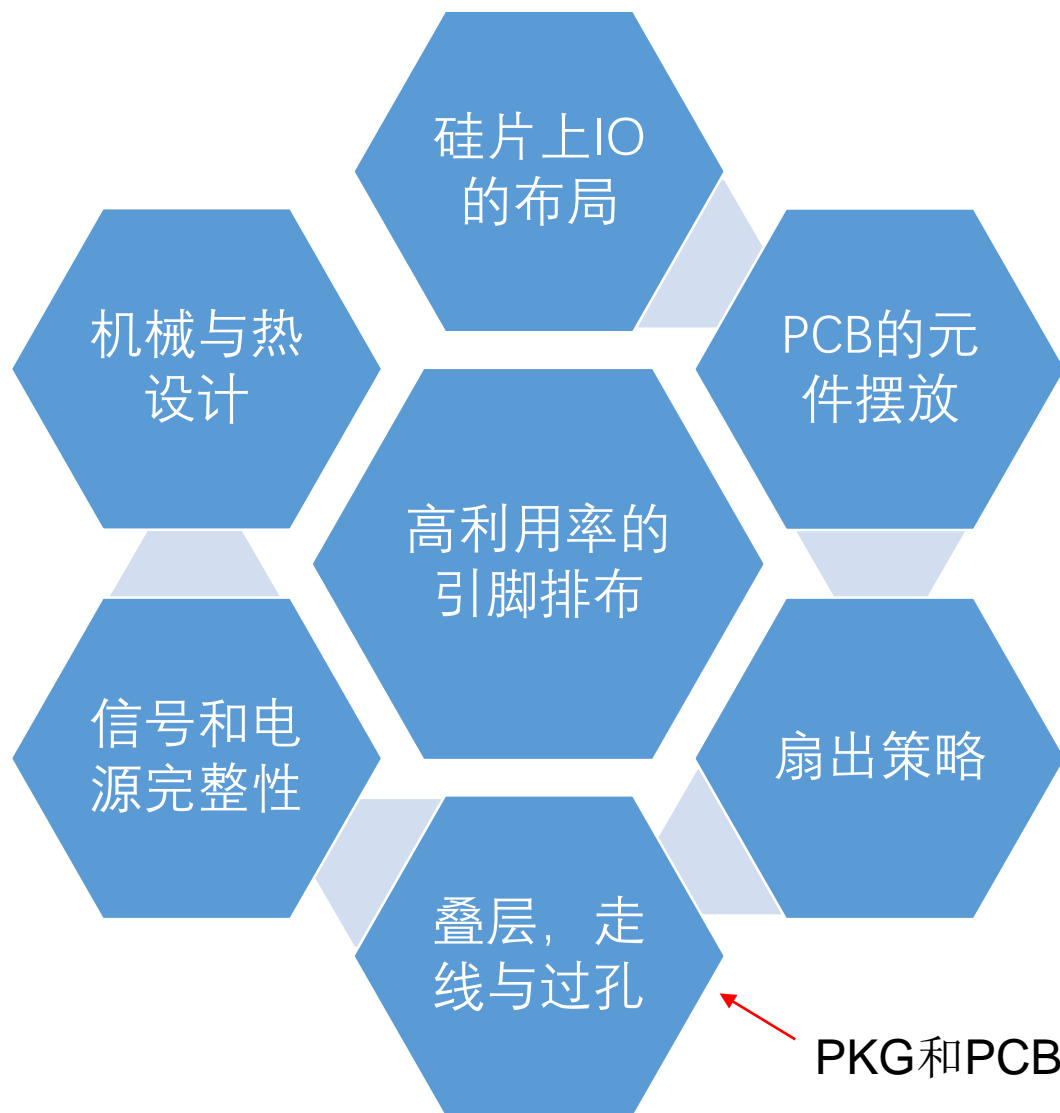
本示例中，列出了通常需要考虑的主要因素，并不代表其他因素不存在或不重要。



TX端：较大的幅度（高信噪比）、最快上升沿（高频宽）的信号，寄生效应明显（反射，串扰，上升沿恶化）

RX端：较小的幅度（低信噪比）、最慢的上升沿（低频宽）的信号，对串扰敏感

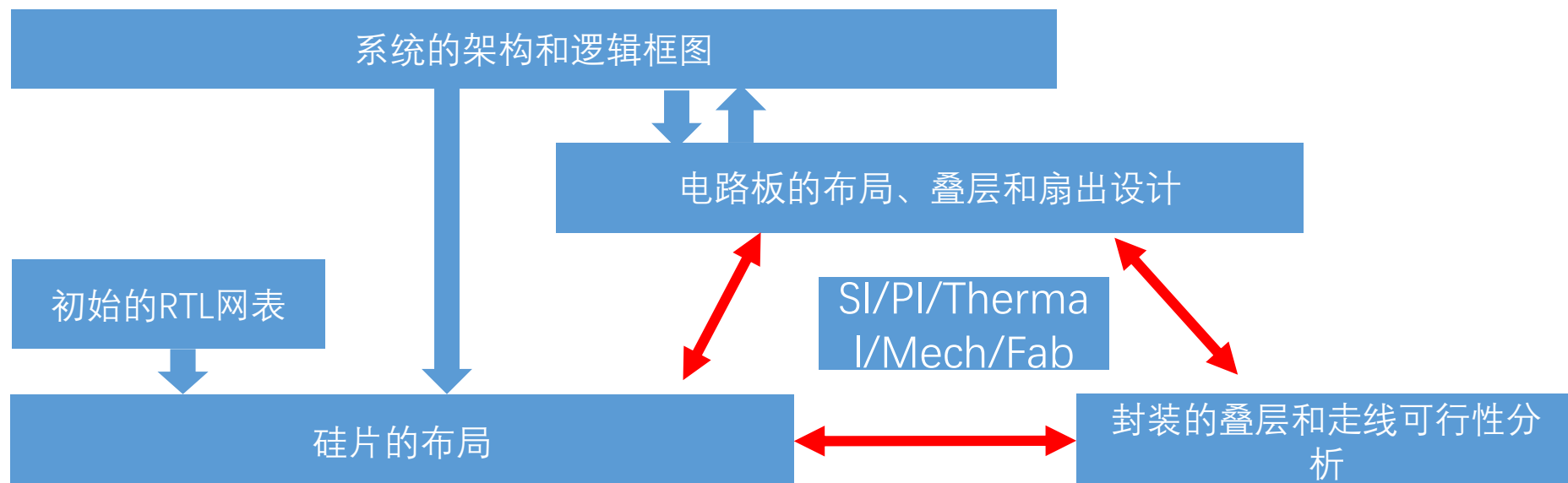
高速串行接口如何影响引脚排布？



引脚排布设计是硅片-封装-电路板-系统协同设计的重要一环，是封装设计的核心之一。

最终体现在利用率（引脚、叠层、成本）与性能（SI/PI、拓扑、机械、热）的折中

如何定义封装的引脚分布？



1. 封装的设计处于很重要的地位，它会尽力弥补电路板布局和硅片布局之间的不同。
2. SI, PI, Thermal, Mech and manufacture 都会影响封装及引脚排布设计

如何定义封装的引脚分布？

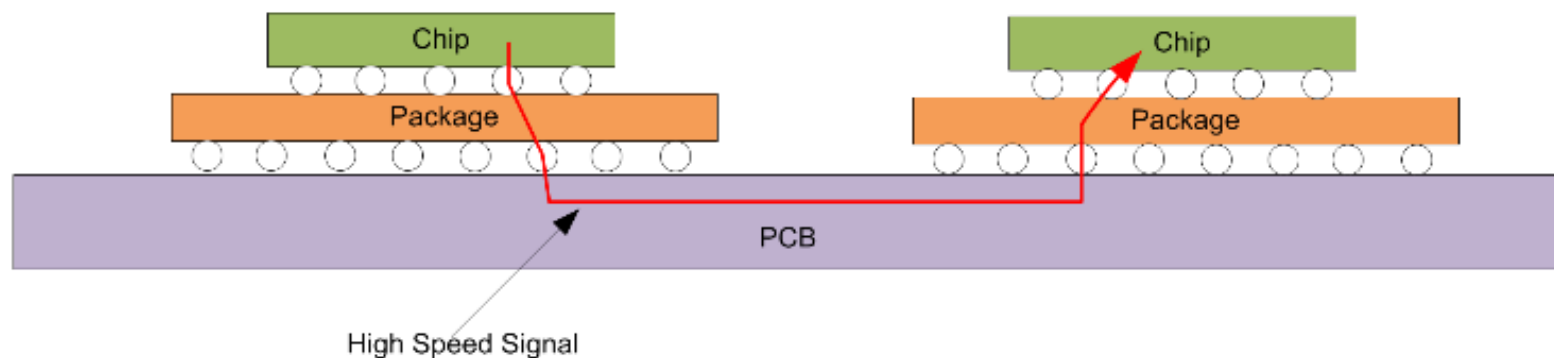
流程：迭代和
协同设计

方法：控制串扰、
插损和回损

概念虽然重要，但是更重要的是运用。

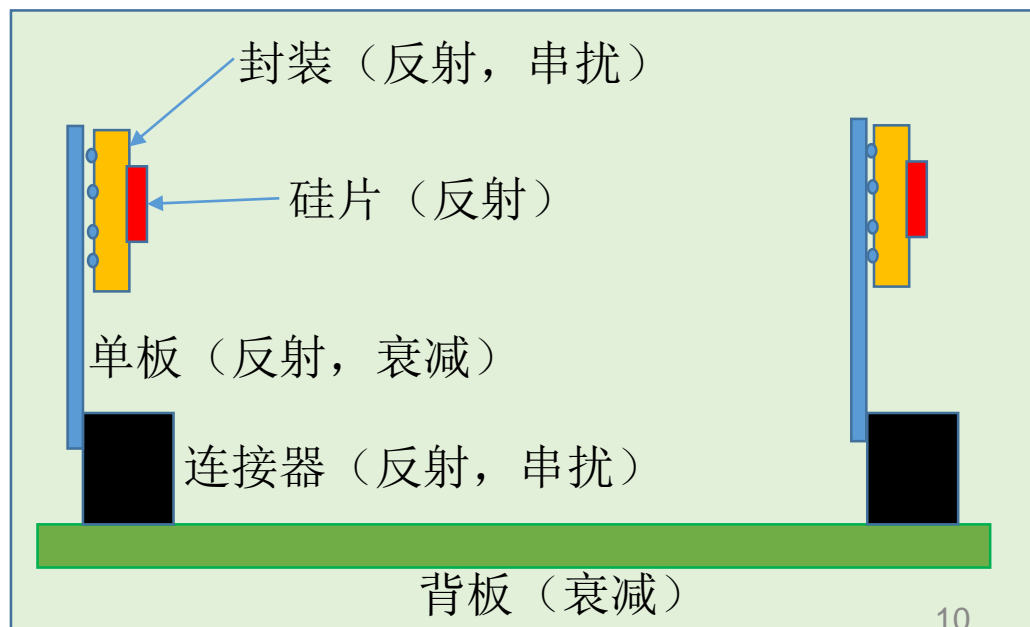
硅片-封装-电路板-系统协同设计

Eco-System of Chip-Package-Board



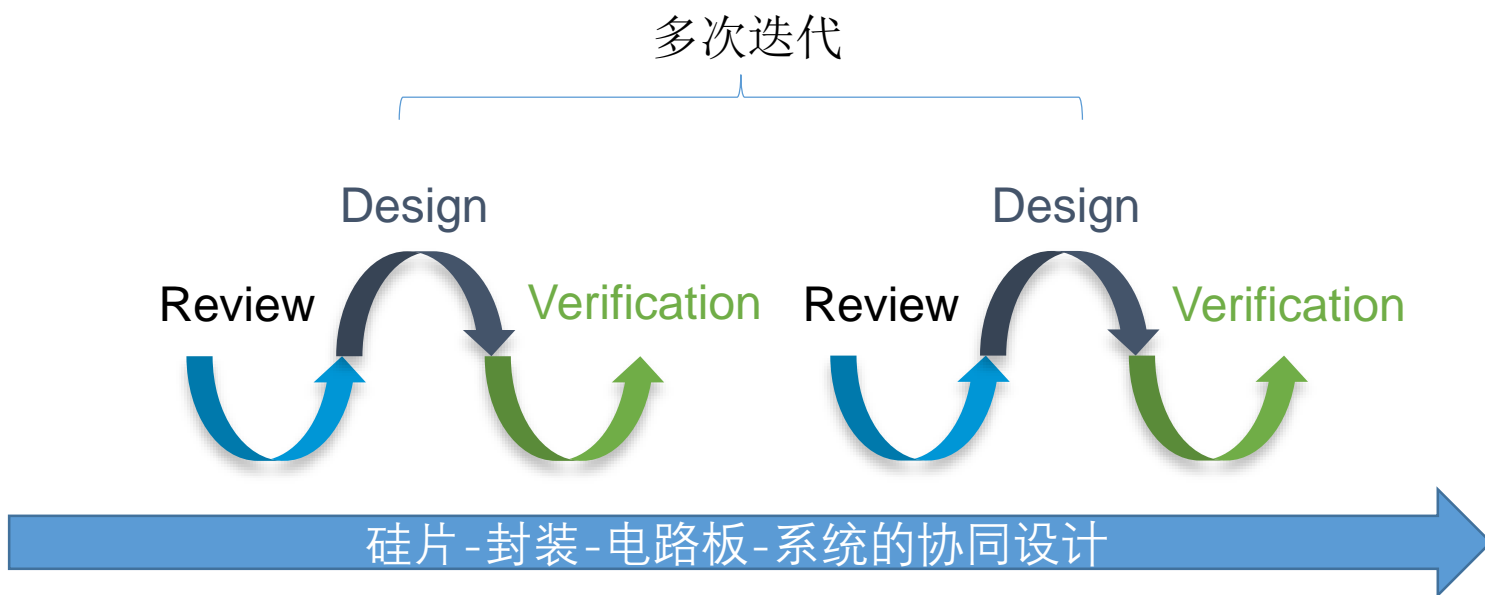
协同设计的两个方面，缺一不可，互相影响。

- 1) 物理的协同设计：找出所有的布局布线的约束，理顺走线，最终确认拓扑。
- 2) 电性能的协同设计：找出解空间，合理的分配预算。



硅片-封装-电路板-系统协同设计

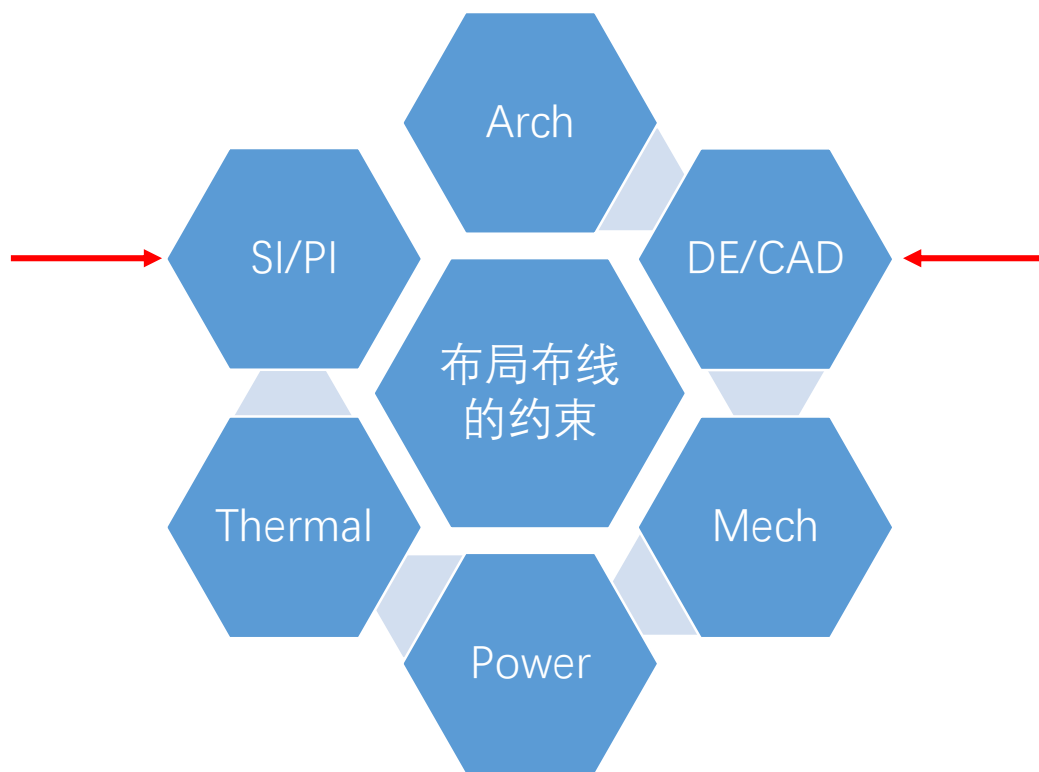
- 物理的协同设计：偏重于多个function team之间的沟通和合作
- 电性能的协同设计：偏重于各个部件之间的折中



物理的协同设计

- 任何影响布局布线的因素都要考虑，折中后，得到最优的拓扑。
- 所有会影响布局布线的团队，紧密合作，定期迭代和review。

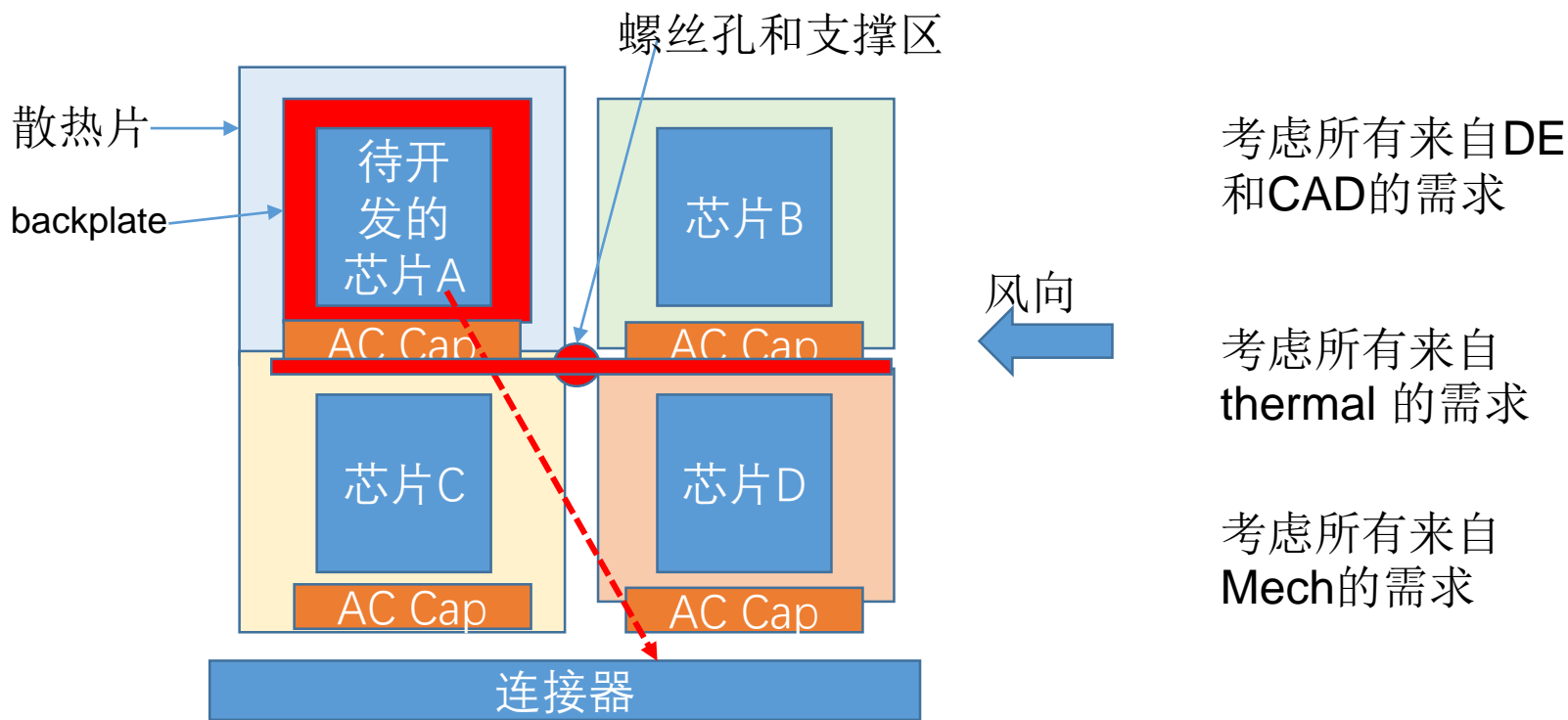
电性能的协同设计由SI负责，从影响拓扑的角度来看，它是物理协同设计的一部分。



布局布线可行性由DE/CAD负责，但仅仅考虑走线的优化（理顺走线）是远远不够的。

举例：来自Mech和Thermal的限制

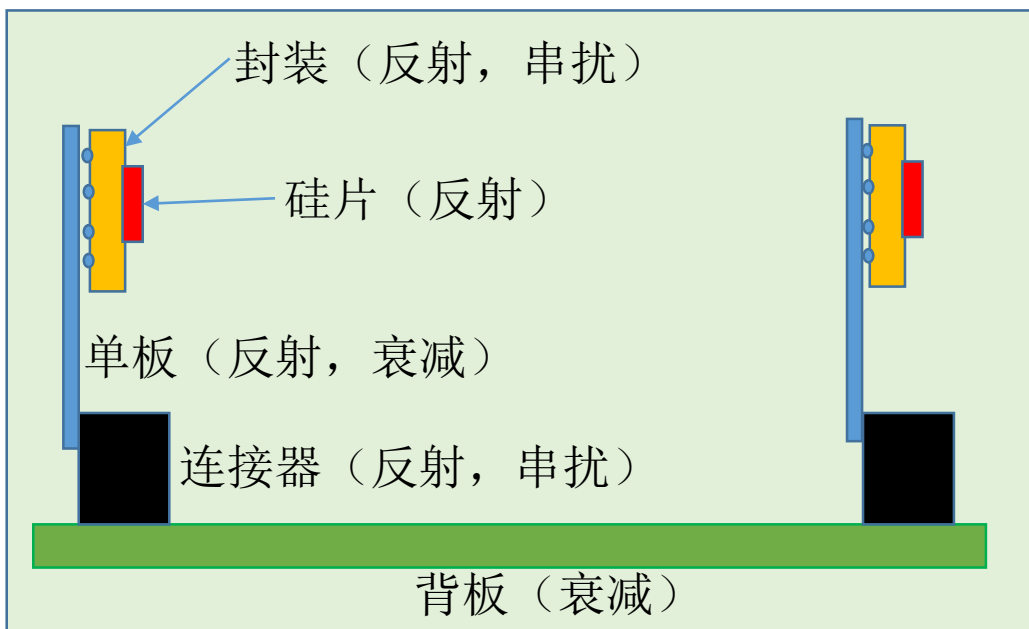
- Mech和thermal的要求会影响布局布线，最终影响拓扑



物理的协同设计，一般需要大量的沟通，经过几轮迭代后，才可以趋于稳定

电性能协同设计

- 通道可以分解成几类部件
- 各个部件的电性能需要协调，从而实现通道端到端的电性能：
 - 对于复用的部件：澄清其电特性（典型值和HVM/PVT分布）
 - 对于待开发的部件：根据通道的总体特征，分配**合理的可以实现的且有竞争力的**性能指标，用来指导待开发部件的设计。



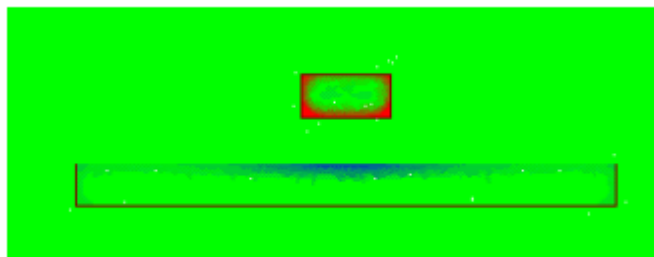
1. PHY
2. TX的PKG
3. RX的PKG
4. 单板
5. 背板
6. 连接器
7. 临近的入侵者网络

电性能协同设计

- 另外一种更彻底的部件分解

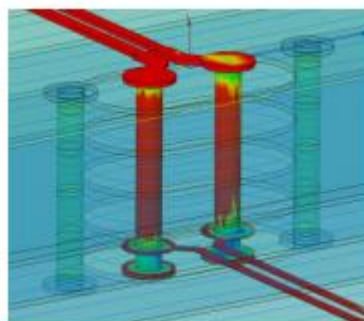
通常更可控

1. Trace

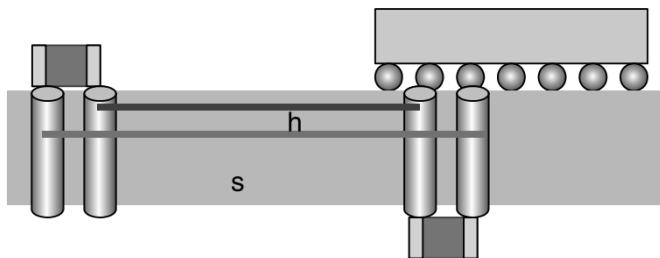


基础

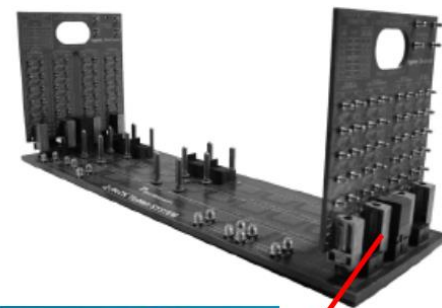
2. VIA



3. Power distribution Network and plane



4. Component
Passive: 阻容感, 磁珠
Active: IO/PHY



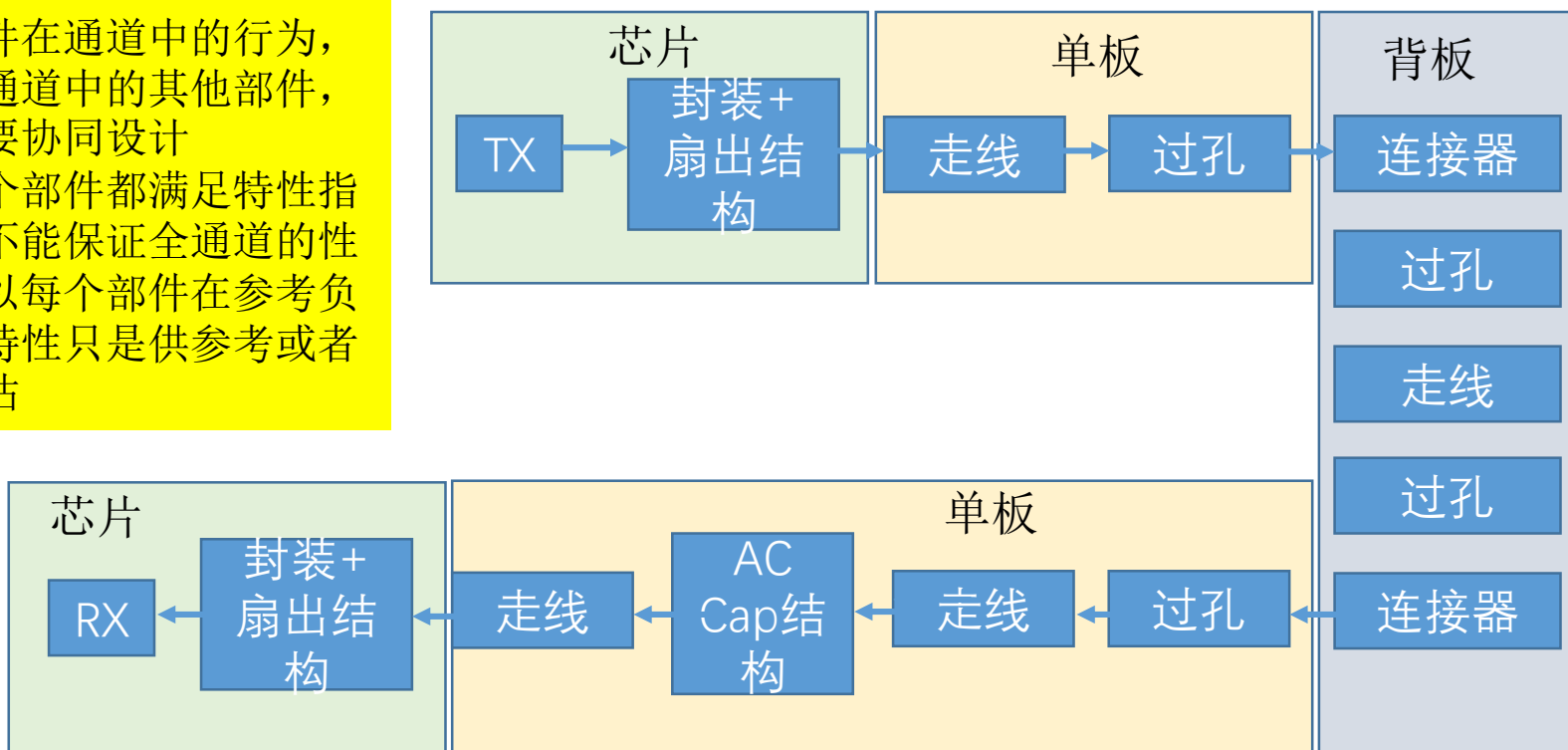
[Tyco]

5. Connector

电性能协同设计

- 通常通道中每个部件的特性指标是基于频域的（例如S参数），这隐含的对负载做出了假设（例如100ohm全频段），这一假设在真实的通道中显然是不成立的。

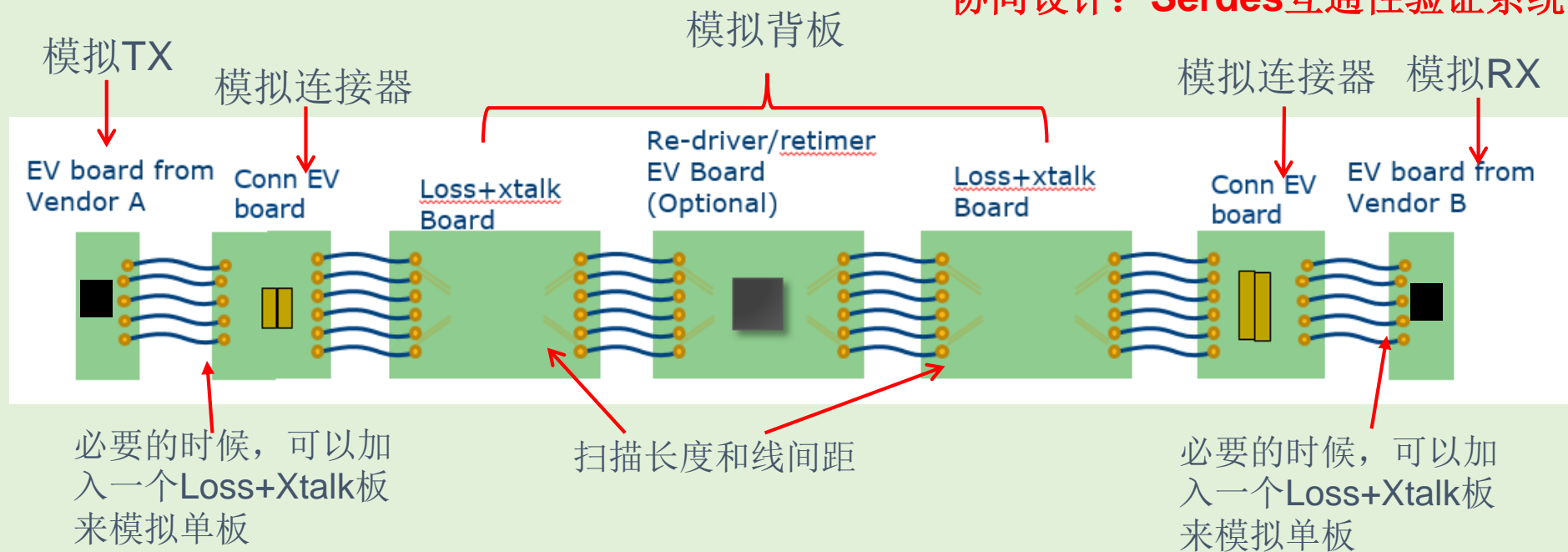
- 每个部件在通道中的行为，依赖于通道中的其他部件，所以需要协同设计
- 即便每个部件都满足特性指标，也不能保证全通道的性能。所以每个部件在参考负载下的特性只是供参考或者风险评估



举例：高速串行接口的封装特性指标？

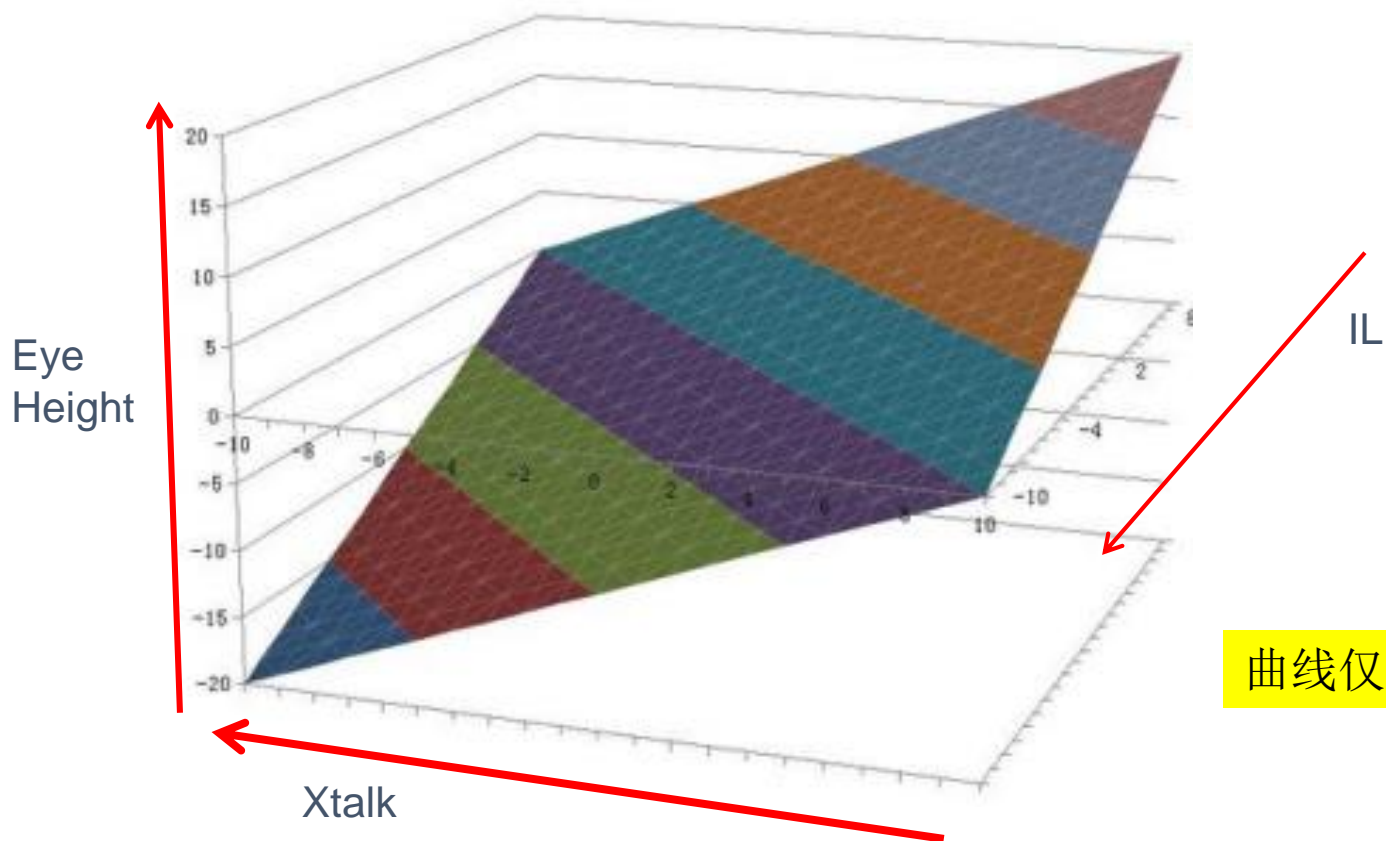
- 通常高速串行接口的标准没有对封装的特性指标作出精确的限定。
- 问题：当我们开发一个新的芯片的时候，如何设定一个封装特性指标？
 - 太紧的指标：浪费PKG的资源，甚至无解。
 - 太松的指标：可能不能满足最终通道的性能。

协同设计：Serdes互通性验证系统



举例：高速串行接口的封装特性指标？

- 眼图随着插损和串扰的增加而恶化。找出通道的Margin，经过数据处理后，依据Margin来合理分配部件的特性指标。



曲线仅为示意

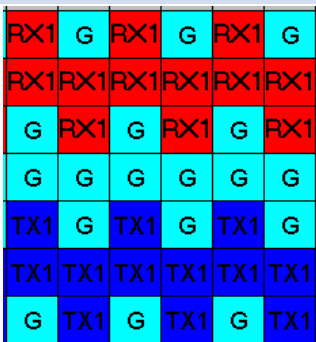
影响封装引脚排布的主要指标

- 插损
 - 回损
 - 远端串扰：TX to TX , RX to RX
 - 近端串扰：TX to RX
 - 幅度比: 入侵者对受害者
- } 本演讲的关注点

串扰源与封装引脚排布的关系

主要有四类因素

影响串扰的因素	引脚的Pattern的相关性	引脚的位置的相关性
① 硅片PHY的扇出	弱	弱
② 封装上走线到走线的耦合	弱	强
② 封装孔到孔的耦合	强	弱
① 电路板孔到孔的耦合	强	弱
③ 电路板扇出线到扇出线的耦合	中	强
④ 电路板扇出线到孔	强	强
电路板的扇出层	中	强



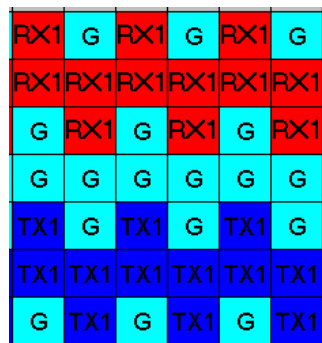
引脚排布的两个主要因素：**Pattern**和**位置**

常见的误区：

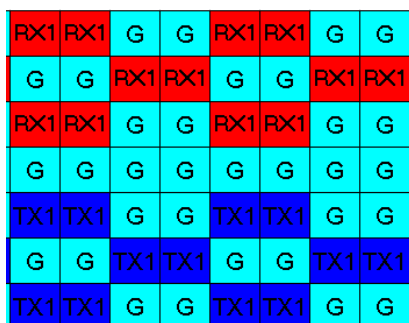
- 1: 仅考虑封装，而不考虑电路板的扇出结构（孔+走线）
- 2: 仅考虑孔到孔，线到线，而不考虑线到孔。

几种典型的Pattern和扇出方式

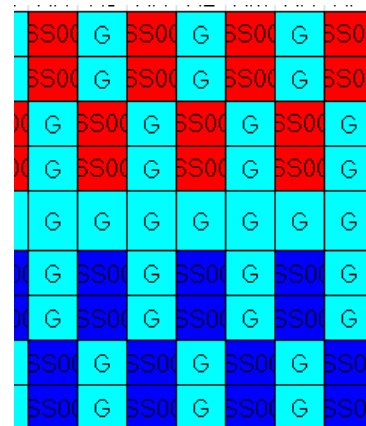
Pattern



Pattern 1

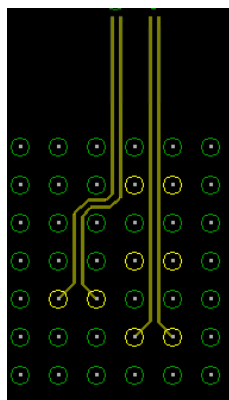


Pattern 2

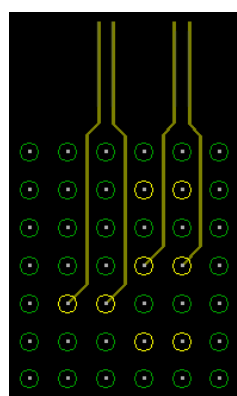


Pattern 3

扇出方式



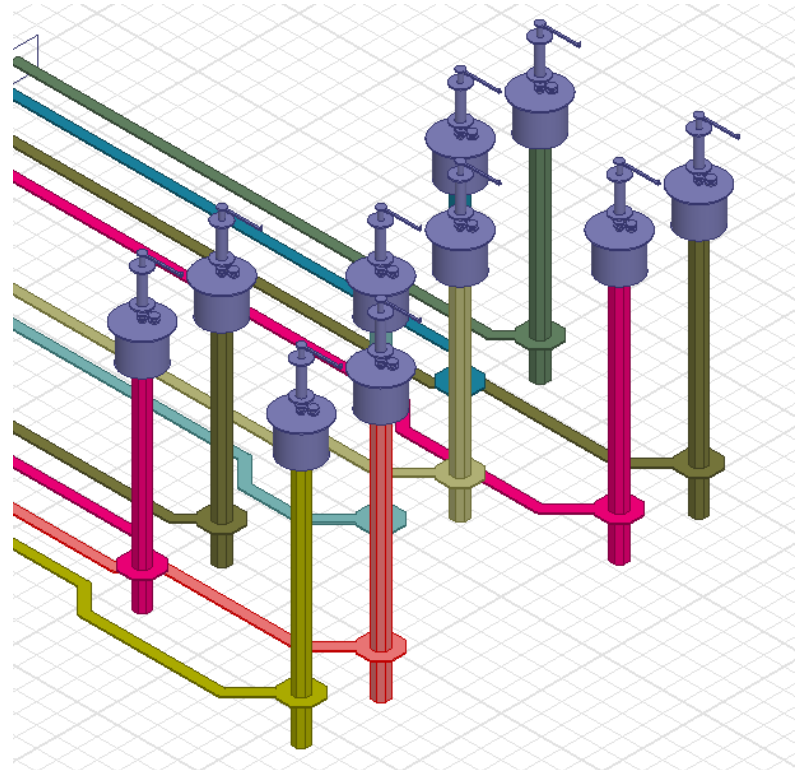
双线



单线

本例中的电路板

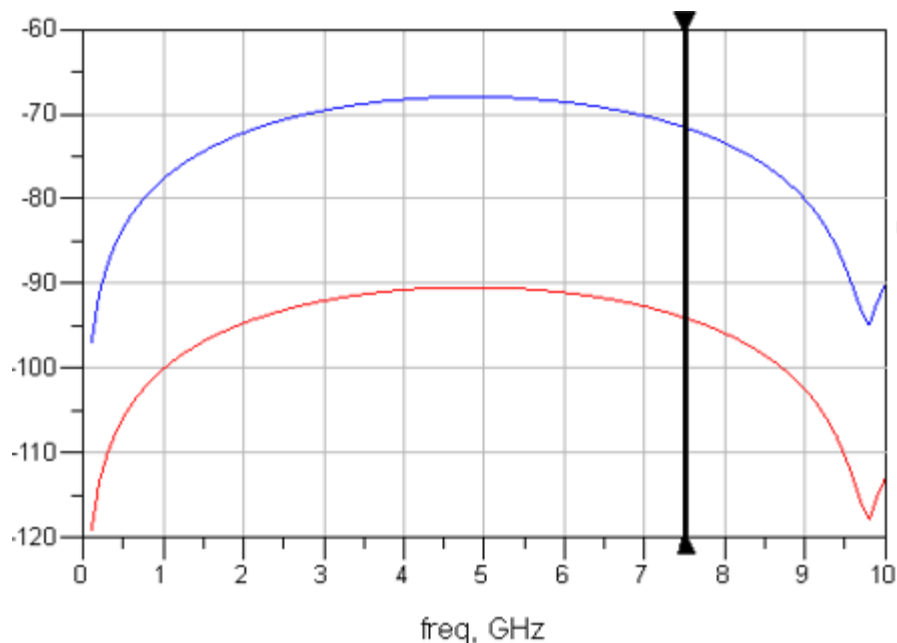
- **叠层**
 - 较厚：136mil
 - Normal Loss的介质
- **VIA:**
 - Pad: 19mil
 - Anti-pad: 30mil
 - Drill: 8mil
- **BGA**
 - 1mm pitch
- **使用带状线扇出**
- **15Gbps Serdes**



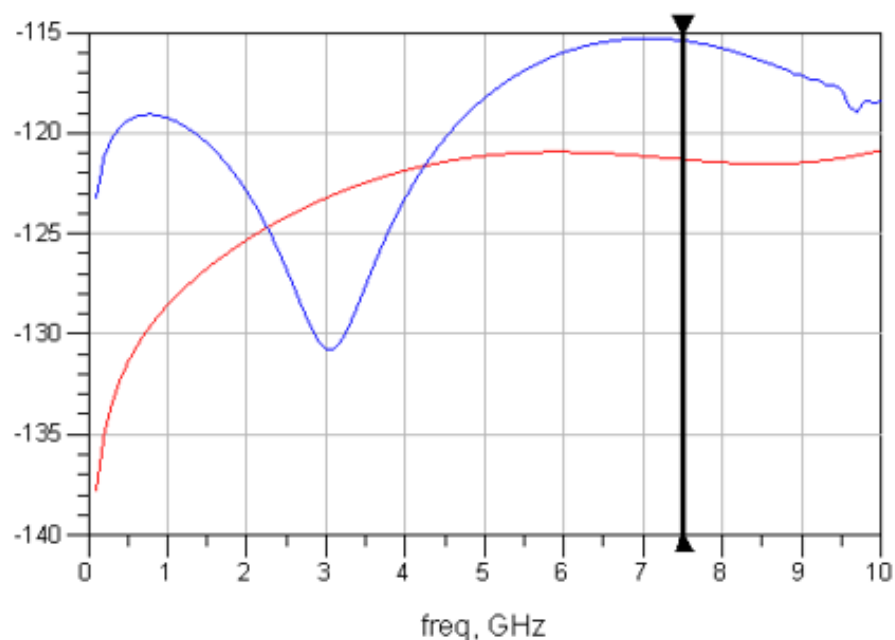
扇出线到扇出线的串扰

红色：单线扇出
蓝色：双线扇出

近端串扰



远端串扰



使用双线扇出的时候，避免TX扇出线和RX扇出线相邻。这样可以最大程度上避免扇出线到扇出线的近端串扰

扇出线到扇出线的远端串扰通常很小

孔到孔的远端串扰

- 通常封装的PTH孔和电路板的扇出孔是一起分析的

G	G	G	G	G
G	S(9/10)	G	S(13/14)	G
S(5/6)	S(11/12)	S(1/2)	S(15/16)	S(17/18)
S(7/8)	G	S(3/4)	G	S(19/20)
G	G	G	G	G

Neighbor: -36.9dB

G	G	G	G	G
G	S(9/10)	G	S(13/14)	G
S(5/6)	S(11/12)	S(1/2)	S(15/16)	S(17/18)
S(7/8)	G	S(3/4)	G	S(19/20)
G	G	G	G	G

Parallel: -44.5dB

Pattern1
Total: -33.17dB

G	G	G	G	G	G
S(5/6)	S(7/8)	G	G	S(13/14)	S(15/16)
G	G	S(1/2)	S(3/4)	G	G
S(9/10)	S(11/12)	G	G	S(17/18)	S(19/20)
G	G	G	G	G	G

-37.7dB in all the direction

Pattern2
Total: -31.71dB

尽管每个分量较小，但总和较大

G	G	G	G	G	G	G	G
G	G	S(5/6)	G	S(13/14)	G	S(21/22)	G
G	G	S(7/8)	G	S(15/16)	G	S(23/24)	G
G	S(1/2)	G	S(9/10)	G	S(17/18)	G	G
G	S(3/4)	G	S(11/12)	G	S(19/20)	G	G
G	G	G	G	G	G	G	G

Neighbor: -37.7dB

G	G	G	G	G	G	G	G
G	G	S(5/6)	G	S(13/14)	G	S(21/22)	G
G	G	S(7/8)	G	S(15/16)	G	S(23/24)	G
G	S(1/2)	G	S(9/10)	G	S(17/18)	G	G
G	S(3/4)	G	S(11/12)	G	S(19/20)	G	G
G	G	G	G	G	G	G	G

Parallel: -50.5dB

Pattern3
Total: -34.50dB

孔到孔的近端串扰

似乎较小



Pattern1: -56.98dB

G	S	G	S	G
S	S	Victim	S	S
S	G	Victim	G	S
G	G	G	G	G
G	Aggressor	G	Aggressor	G
S	Aggressor	Aggressor	Aggressor	S
S	G	Aggressor	G	S

Pattern2: -59.68dB

G	G	S	S	G	G
S	S	G	G	S	S
G	G	Victim	Victim	G	G
G	G	G	G	G	G
Aggressor	Aggressor	G	G	Aggressor	Aggressor
G	G	Aggressor	Aggressor	G	G
S	S	G	G	S	S

Pattern3: -57.3dB

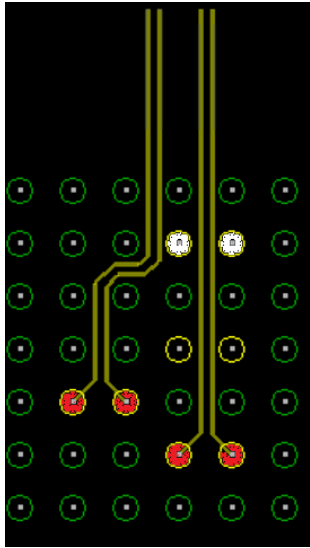
G	S	G	S	G
G	S	G	S	G
S	G	Victim	G	S
S	G	Victim	G	S
G	G	G	G	G
G	Aggressor	G	Aggressor	G
G	Aggressor	G	Aggressor	G
S	G	S	G	S
S	G	S	G	S

近端串扰和远端串扰的幅度值类似

扇出线到孔的串扰

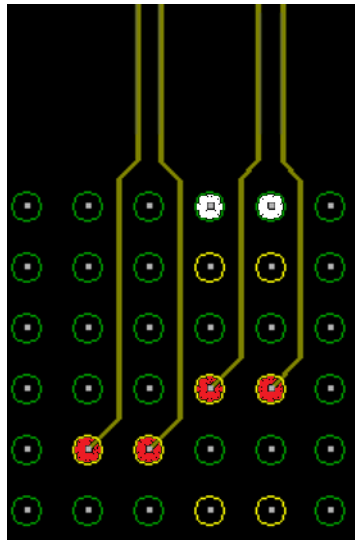
红色：入侵者
白色：受害者

-48.4dB -42.4dB



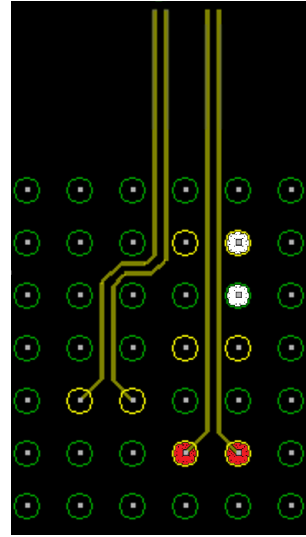
双线扇出
Pattern2

-53.6dB -53dB



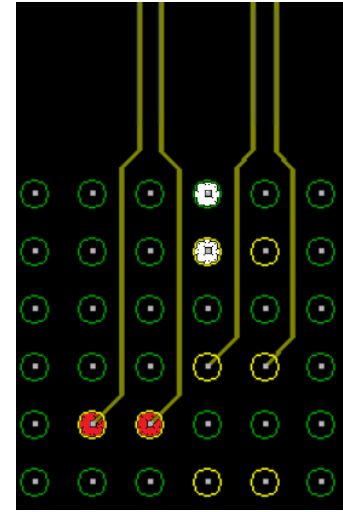
单线扇出
Pattern2

-57.7dB



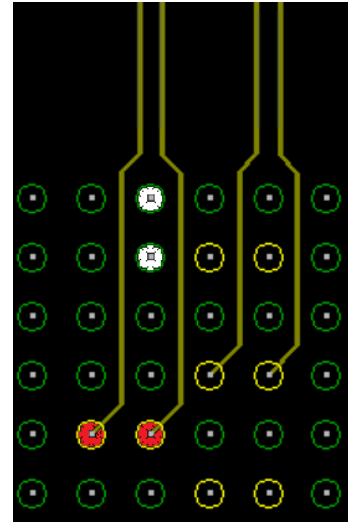
双线扇出
Pattern1&3

-64dB



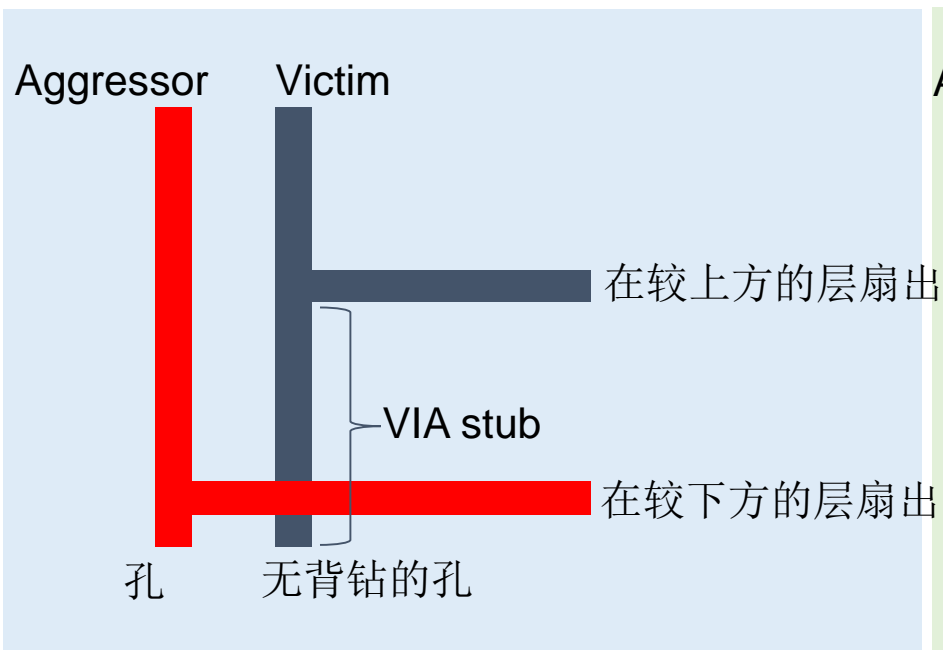
单线扇出
Pattern1&3

-78dB



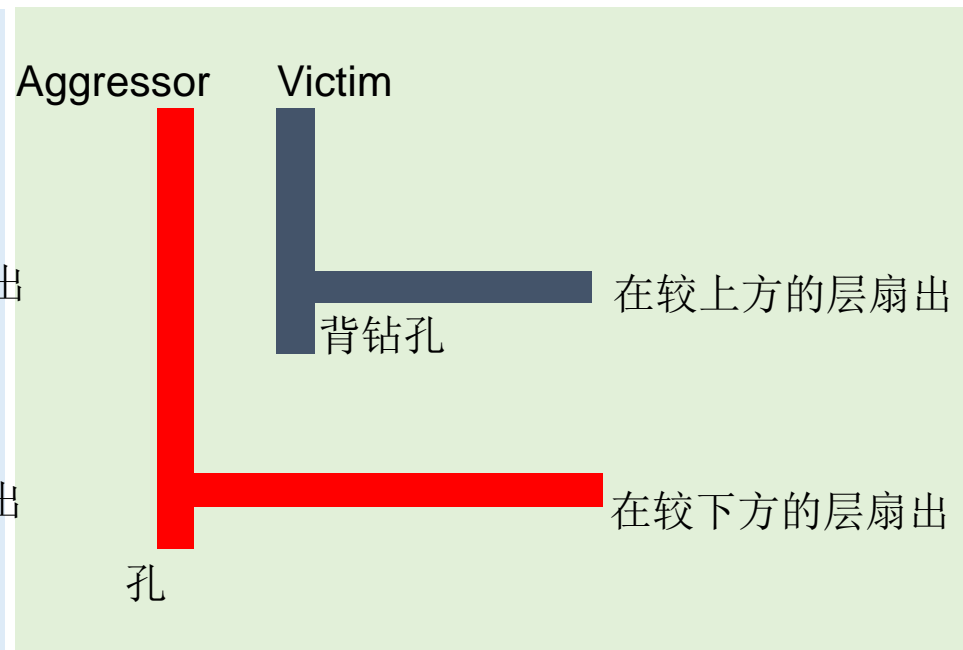
扇出线对串扰的影响

无背钻的情况



VIA stub可能放大串扰，因为谐振的原因

有背钻的情况



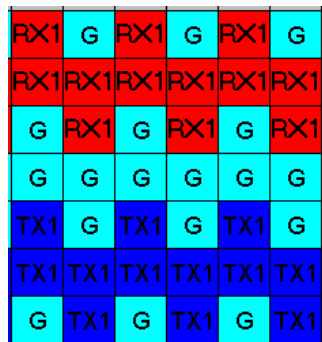
这个情况下，扇出线和孔之间基本无耦合

准确的总串扰，应该使使用3D仿真得到

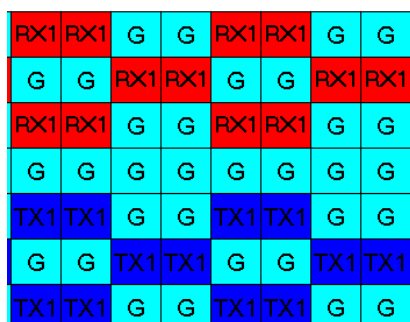
总近端串扰的粗略估算

- 包含：
 - 孔到孔：较大贡献
 - 扇出线到孔：较大贡献
 - 扇出线到扇出线：较小贡献

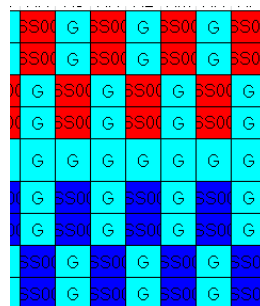
近端串扰	单线扇出	双线扇出
Pattern1	-57.6dB	-50.8dB
Pattern2	-48.3dB	-39dB
Pattern3	-58.5dB	-51.5dB



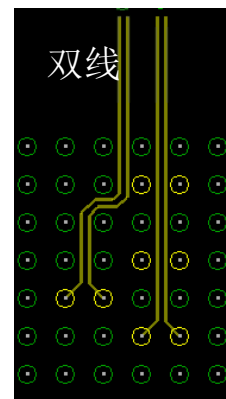
Pattern 1



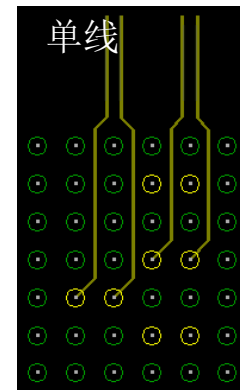
Pattern 2



Pattern 3



双线



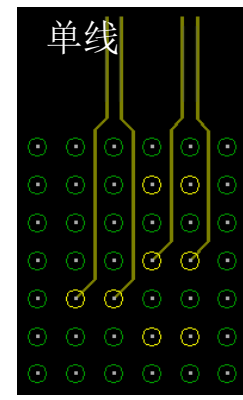
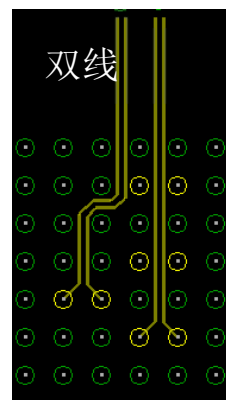
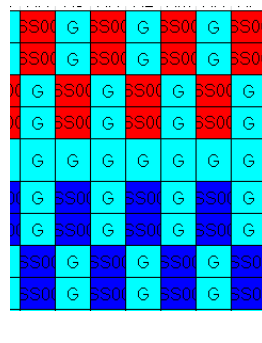
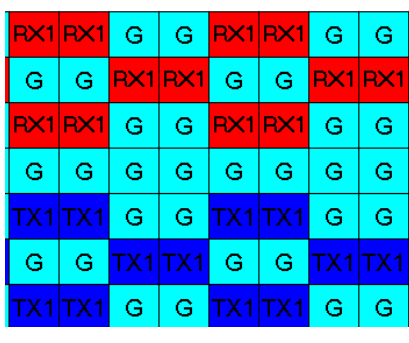
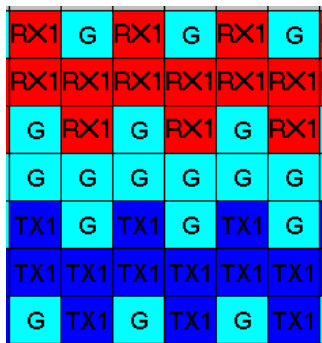
单线

总远端串扰的粗略估算

准确的总串扰，应该使使用3D仿真得到

- 包含：
 - 孔到孔：较大贡献
 - 扇出线到孔：一般贡献
 - 扇出线到扇出线：较小贡献

远端串扰	单线扇出	双线扇出
Pattern1	-33.16dB	-33.12dB
Pattern2	-31.6dB	-31.1dB
Pattern3	-34.49dB	-34.44dB



结论

- **越来越高速率的高速串行接口给系统设计带来了更多的挑战**
- **新的方法学：硅片-封装-电路板-系统协同设计**
 - 物理的协同设计
 - 电性能的协同设计
- **封装的引脚分布非常关键：需要合理的Pattern和位置**
 - 不能仅仅考虑封装，还需要结合电路板的扇出结构
 - 不能仅仅考虑孔到孔和线到线的耦合，还需要考虑线到孔的耦合，以及扇出层的影响

ANSYS®



ANSYS
ONVERGENCE
CONFERENCES

2016

ANSYS中国技术大会
中国·上海

感谢聆听